

**Title: Improved TFT, method of making it and matrix displays incorporating TFT**

Application Number	96197069	Application Date	1996.07.30
Publication Number	1196803	Publication Date	1998.10.21
Priority Information	US08/497,3711995/7/31		
International Classification	G02F1/1343		
Applicant(s) Name	Image Quest Technology Inc.		
Address			
Inventor(s) Name	Scott H. Holmberg;Ronald L. Huff		
Patent Agency Code	11038	Patent Agent	wang yonggang

**Abstract**

Improved thin film transistors to reduce defects in the devices incorporating the transistors, including active matrix displays. A first improvement is accomplished by forming a dual insulator layer over the bottom metal layer, which can be the gate line and also the row line in an active matrix display. The first insulator layer is formed by anodizing the metal layer and the second insulator layer is deposited onto the first layer. The dual insulator structure layer can be reanodized to eliminate the effect of pinholes. A second improvement includes providing an interdigitated transistor structure to increase the channel width, minimize internal shorting and minimize the drain capacitance. The interdigitated structure includes at least one source or drain finger formed between at least two drain or source fingers, respectively. A shorted source finger can be disconnected to maintain an operative transistor. A further improvement is provided when forming an active matrix display storage capacitor utilizing the dual insulator layer. A redundant column line can be formed utilizing a second overlying metal layer. A defect masking transistor also can be coupled from each pixel to the previous gate or row line.



## [12]发明专利申请公开说明书

[21]申请号 96197069.3

[43]公开日 1998年10月21日

[11]公开号 CN 1196803A

[22]申请日 96.7.30

[74]专利代理机构 中国国际贸易促进委员会专利商标  
事务所  
代理人 王永刚

[30]优先权

[32]95.7.31 [33]US[31]08 / 497,371

[86]国际申请 PCT / US96 / 12439 96.7.30

[87]国际公布 WO97 / 05523 英 97.2.13

[85]进入国家阶段日期 98.3.19

[71]申请人 图象探索技术公司

地址 美国加利福尼亚

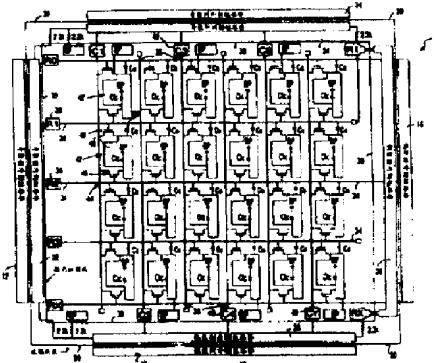
[72]发明人 斯考特·H·豪尔伯格  
罗那尔德·L·胡夫

权利要求书 3 页 说明书 7 页 附图页数 12 页

[54]发明名称 改进的薄膜晶体管,其制作方法及装有此  
薄膜晶体管的矩阵显示器

## [57]摘要

改进的薄膜晶体管,用以减少装有此晶体管的装置的缺陷,包括有源矩阵显示器(10)。实施第一项改进措施的方法是在底部金属层(52)上形成一双层绝缘材料层(60, 62),该金属层可是栅极线同时也是有源矩阵显示器中的行线。第一层绝缘材料层(60)通过对金属层阳极氧化而形成,第二绝缘材料层(62)淀积在第一层上面。此双层绝缘材料结构层可再次进行阳极氧化以排除针孔效应。第二项改进措施包括,提供一种交叉梳状的晶体管结构以增加沟道宽度,最大限度地减少内部短路和最大限度减小漏极电容。此交叉梳状的结构(94, 96, 100, 102)包括至少一个源极或漏极指,分别成型于至少两个漏极或源极指之间。一个已短路的源极指可被断开,以维护工作的晶体管。利用双层绝缘材料层形成有源矩阵显示器存储电容而构成另一项改进措施。利用第二层上覆的金属层(90)可形成冗余的列线(74, 90)。缺陷屏蔽晶体管(49)同样也可从每一象素连至前面的栅极或行线。



## 权 利 要 求 书

---

1. 一种制作改进的薄膜晶体管的方法，改进措施包括：

形成交叉梳状的源极和漏极，包括，在所述源极内提供一开口，形成至少两个指从所述源极伸向与所述开口邻接的所述漏极，以及在所述漏极上形成至少一个指，从所述二源极指之间的所述漏极伸出并与之隔开一定距离。

2. 如权利要求1所述的方法，包括，至少形成三个从所述源极伸出的指以及至少两个从所述漏极伸出的指，每一所述漏极指从所述一对源极指之间伸出并与之隔开一定距离。

3. 如权利要求1所述的方法，包括：对源极和漏极进行短路测试以及在所述已短路的源极指的两侧上将所述源极指切至所述源极开口从而断开短路的源极指。

4. 如权利要求1所述的方法，包括，在冗余的栅极绝缘材料上形成所述源极和漏极，包括，通过淀积一栅极金属，阳极氧化所述栅极金属以形成一绝缘层并在所述已阳极氧化的绝缘层上面淀积第二层绝缘材料来形成所述栅极绝缘材料。

5. 如权利要求4所述的方法，包括，在形成源极和漏极之前对所述已阳极氧化的绝缘层再进行阳极氧化。

6. 一种制作改进的有源矩阵显示器的方法，包括，多个薄膜晶体管，每一晶体管将一像素连到此显示器中的一行和一列线上，此改进措施包括：

形成包括有交叉梳状的源极和漏极的每一晶体管，包括在所述源极内提供一开口，形成从所述源极伸向与所述开口邻接的所述漏极的至少两个指，以及在所述漏极上形成至少一个指，从所述二源极指之间的所述漏极伸出并与之隔开一定距离。

7. 如权利要求6所述的方法，包括，形成每一晶体管具有至少三个指，从所述源极伸出，以及至少两个指，从所述漏极伸出，每一所述漏极指从一对所述源极指之间伸出，但与之隔开一段距离。

8. 如权利要求 6 所述的方法，包括对每一晶体管的源极和漏极进行短路测试，以及通过在所述已短路的指两侧上将所述源极指切至所述源极开口从而断开一已短路的源极指。

9. 如权利要求 6 所述的方法，包括，形成冗余的栅极绝缘材料上的每一晶体管的所述源极和漏极，包括，通过淀积一栅极金属，阳极氧化所述栅极金属以形成一绝缘层并在所述已阳极氧化的绝缘层上淀积第二层绝缘材料从而形成所述栅极绝缘材料。

10. 如权利要求 9 所述的方法，包括，在形成每一所述源极和漏极之前对所述已阳极氧化的绝缘层再进行阳极氧化。

11. 如权利要求 6 所述的方法，包括，对每一像素形成一存储电容并将所述存储电容连于每一所述像素和一个邻接的行线之间。

12. 如权利要求 11 所述的方法，包括，形成所述存储电容器作为所述邻接行线的一部分。

13. 如权利要求 12 所述的方法，包括，从包括所述冗余的栅极绝缘材料一部分的所述邻接行线的一部分形成所述存储电容器。

14. 如权利要求 6 所述的方法，包括，形成一附加的晶体管，将每一像素连于相邻接的像素行线。

15. 如权利要求 6 所述的方法，包括，通过形成第二大体透明金属层来形成冗余的列线，该透明金属层覆盖并且连于所述列线。

16. 一种改进的薄膜晶体管，此改进措施包括：

交叉梳状的源极和漏极，包括所述源极内的开口，至少两个从所述源极伸向与所述开口邻接的所述漏极的指，以及所述漏极上的从所述二源极指之间的漏极伸出并与之隔开一定距离的至少一个指。

17. 如权利要求 16 所述的改进措施，包括，至少三个指从所述源极伸出，以及至少两个指从所述漏极伸出，每一所述漏极指在一对所述源极指之间伸出，但与之隔开一定距离。

18. 如权利要求 16 所述的改进措施，包括，在冗余的栅极绝缘材料上形成的所述源极和漏极，所述栅极绝缘材料由第一阳极氧化栅极金属层形成一绝缘层和淀积在所述已阳极氧化的第一绝缘层上的第二绝缘层所形成。

19. 一种改进的有源矩阵显示器，包括多个薄膜晶体管，每一晶体管将一像素连于此显示器中的一行线和一列线上，此改进措施包括：

每一晶体管包括交叉梳状的源极和漏极，包括，在所述源极中的开口，从所述源极伸向与所述开口邻接的所述漏极的至少两个指，以及所述漏极上从所述二源极指之间的漏极伸出并与之隔开一定距离的至少一个指。

20. 如权利要求 19 所述的改进措施，包括，每一晶体管有至少三个指从所述源极伸出，以及至少两个指从所述漏极伸出，每一所述漏极指在所述一对源极指之间伸出，但与之隔开一定距离。

21. 如权利要求 19 所述的改进措施，包括，在冗余的栅极绝缘材料上面形成的每一晶体管的所述源极和漏极，所述栅极绝缘材料由第一阳极氧化栅极金属层形成一绝缘层和沉积在所述已阳极氧化的第一绝缘层上的第二绝缘层所形成。

22. 如权利要求 19 所述的改进措施，包括，一存储电容，连于每一所述像素和一相邻接的行线之间。

23. 如权利要求 22 所述的改进措施，包括，形成所述存储电容器作为所述相邻接的行线的一部分。

24. 如权利要求 23 所述的改进措施，包括，由所述邻接行线一部分形成的所述存储电容器包括所述冗余栅极绝缘材料的一部分。

25. 如权利要求 19 所述的改进措施，包括，一附加的晶体管，将每一像素连至相邻接的像素行线。

26. 如权利要求 19 所述的改进措施，包括，冗余的列线，由第二大体透明的金属层形成，该金属层覆盖并且连于所述列线。

## 说 明 书

---

### 改进的薄膜晶体管，其制作方法及 装有此薄膜晶体管的矩阵显示器

本发明涉及一种改进的薄膜晶体管，该薄膜晶体管的制作方法以及装有此种晶体管的显示器。具体说，本发明涉及提供一种制作薄膜晶体管的方法，以提高此制成的晶体管和由其制成的装置的成品率。

近年来，薄膜晶体管和装有此种薄膜晶体管的装置，如存储器阵列，各种集成电路以及机械开关和继电器的替代品，日益引起人们的兴趣。例如，舌簧继电器会发生疲劳，MOS 开关显示出过多的漏电流。

薄膜晶体管的一个具体应用是平板显示器，诸如使用液晶，场致发射，等离子体，电致变色或场致发光的那些装置，用以替代传统的阴极射线管 (CRT)。平板显示器比之 CRT 可有重量轻，体积小和显著低功耗的优点。此外，由于 CRT 的运行方式，它们总会有某些失真。CRT 是通过将一束电子束注射到涂磷荧光屏上而工作的。此电子束将使其聚焦点发光，其强度与束流强度成正比。通过恒定运动的束流在荧光屏上产生不同光强的发光点。由于电子束由其固定射源到达荧光屏的边缘比它到达中部要运行更远一些的距离，此束流以不同的角度投射到屏上不同地点从而导致光点大小及形状的改变 (即，失真)。

平板显示器就可以避免此类失真，因为每一象素在基片上以光刻方式构图，而不是像 CRT 电子束抛射到涂磷荧光屏那样。制作此平板显示器时，在一基片上，如玻璃上，电路元件大体是以光刻来淀积和构图的。电路元件分阶段地淀积和刻蚀以组成带有矩阵的装置，该矩阵由电路控制线组成垂直的行和列构成，在控制线行和列之间有象素触点和控制元件。象素触点上有一介质，此介质是一种在阈电压加于此介质控制元件上时可发光 (发射的) 或可调制环境光线传输的 (非发射的) 的物质。此介质可是液晶，场致发光或电致变色的材料，如锌硫化物，等离子气体，例如氖和氩等离子气体，双色染料，或其他适宜的，随其上施加的电压而发光或改变光学性质的材料或装置。在每一触点处的此种光活性介质通常称为图象元或“象

素”。

通常设计平板显示器的电路使得数据移进每一列与一预置电压对应的所有的列线上。接着每一行激励以导通在此行上所有的晶体管（此时一行被写入）。然后该行关断，下一行的数据移进所有列线，接着此第二行激励和写入。此过程重复进行直至所有行均被访问。通常在一般来说约为 1/60 秒或 16.7 毫秒的帧周期内所有的行均被写入。以后，表示此数据的电压有选择地施加于特定的列以导致选定的象素随着行被写入而发光或改变光学性质。制作象素使其能在施加一大的电压或电流，或一长脉冲电压或电流时改变强度。利用扭曲向列活性材料的液晶显示器在未激活时基本上是透明的，而在激活时成为光吸收的，反之亦然，均取决于起偏器方位。于是通过跨越显示器一行一行地顺序激活象素而在显示器上产生图象。上述关于 CRT 的几何失真对平板显示器来说就不成其为问题，因为每一象素位置是以光刻的方式来决定和固定的。

关于现有技术制作有源矩阵显示器结构（例如在每一象素处使用薄膜晶体管）的方法的一个主要问题在于，它们通常面临与集成电路的产品成品率类似的问题。就是说，所生产的装置的成品率通常不是 100%，而且在最坏的情况下成品率（无缺陷装置的百分比）可能为 0%。高质量显示器不容许晶体管或别的元件有一点缺陷。此外，大尺寸显示器比小尺寸显示器要求更严。因此，厂商面临着当不只几个晶体管有缺陷并从而不只几个象素有缺陷时，为了制作大尺寸和 / 或高清晰度显示器而不得不丢弃整个产品的难题。换言之，厂商承受着产品成品率降低而导致的每一件产品制造成本提高的困难。

本发明通过提供一种制作晶体管的方法而显著地改进成本上升和成品率下降的问题，该方法所提供的晶体管缺陷数量大为减小，可在各种类型的集成电路，如有源矩阵显示器中使用。

提供一种制作薄膜晶体管的改进方法，以减少装有此晶体管的装置，包括有源矩阵显示器中的缺陷。实施第一项改进措施的方法是，在底部金属层上面形成一双层绝缘层，该层可是栅极线也可是一有源矩阵显示器中的行线。第一绝缘层通过对此金属层作阳极氧化处理而形成，第二绝缘层淀积在第一层之上。此双绝缘结构可再作阳极氧化处理以消除层内的针孔

效应。第二项改进措施包括，提供一种交叉梳状的晶体管结构，以增大通道宽度，最大限度地减少内部短路和将漏电容降至最小。此交叉梳状结构包括至少一个源极或漏极指，分别成形于至少两个漏极或源极指之间。可将一已短路的源极指断开以保持运行中的晶体管。利用此双层绝缘层形成有源矩阵显示器的存储电容器构成另一项改进措施。利用第二个上覆的金属层形成冗余列线。缺陷掩蔽晶体管也可连接于每一象素和前面的栅或行线之间。

图 1 是一个平面图，概略说明装有本发明晶体管的有源矩阵显示器；

图 2 是本发明晶体管和存储电容器实施例的错开的横截面图；

图 3 是图 2 晶体管实施例的第二个横截面图；

图 4-10 是此晶体管和显示器制作步骤的部分平面图；以及

图 11 是完成的显示器的部分略图。

如前所述，利用薄膜晶体管（TFT）可形成许多装置，一种具体的应用就是用于有源矩阵液晶显示器上（AMLCD），本发明的此种 TFT 将作为 AMLCD 的一部分描述如下。参看图 1，本发明的 AMLCD 总体上用标号 10 表示。

图示中 AMLCD 10 包括一组可选的外侧短路棒 12，14，16 和 18，同时提出的美国共同未决申请 Serial No. 08/497372 “ACTIVE MATRIX ESD PROTECTION AND TESTING SCHEME” 中对此有充分的描述，本文在此引用以参考。此外侧短路棒 12，14，16 和 18 在加工过程中可沿划线 20 断开而将其去掉。

图示中 AMLCD 10 还包括一组内侧的短路棒 22，24，26 和 28，此内侧短路棒 22，24，26 和 28 在加工过程中也要用到，在 IM24798-4 案中有更充分的描述。然而，此内侧短路棒 22，24，26 和 28 只是沿线 30 从电气上与 AMLCD 10 断开，例如利用激光来断开，而仍保留为 AMLCD 10 的实体部分。

AMLCD 10 淀积在基片 32 上，通常由玻璃板来作此基片，该板沿划线 20 断开，如上所述。基片 32 也可使用其他类型的绝缘材料来制作，包括应用不透光的，带有一绝缘涂层的金属板。AMLCD 10 由多个行线 34 和多个列线 36 形成一个大的矩阵而组成，图中只示出了一小部分。行线 34 包括连

于每一行线 34 的多个驱动器接触焊盘 38 中的一个，列线 36 也同样包括连于每一列线 36 的多个驱动器接触焊盘 40 中的一个。

AMLCD 10 包括多个形成于行线 34 和列线 36 之间的相同的象素，本文仅对一个象素 42 加以详细描述。在一个行线 34 和一个列线 36 相交处的每一矩阵交叉点 44 处形成 TFT 46，以将该行线和列线与象素触点 48 相连。有源液晶介质起码要在此触点 48 上形成，该介质将根据底板和施加于此象素 42 上的数据电压而改变性质。象素 42 上的介质通常在 AMLCD 10 的整体矩阵中呈方形或点状。晶体管 46 和触点 48 的实际大小不是按比例画出的，仅用作简略的图解说明。

需要指出的是，可使用的或在 AMLCD 10 外部区域的行线 34 和列线 36 的数量在理论上是没有限制的。加工装置时在实践中提供一外部线数的限制，当装置改进时此限制也会不断变化。

在制作 AMLCD 10 中所遇到的问题是，如果此 AMLCD 10 包含有缺陷的 TFT 或其他有缺陷的电路元件，使得不只几个象素不工作，通常必须丢弃此显示器。掩蔽有缺陷象素 42 的一种方法是使用一附加的（可选的）晶体管 49 连同象素 42 一起将象素 42 连接到一邻近行 R1 上。因此，当行 R1 被写入时，数据不仅是施加到前一象素 42 中，而且也通过晶体管 49 进入此象素 42。接着当行 R2 被写入时，象素 42 的数据是利用来自前一象素的数据通过晶体管 46 而被写入的。然而，如果此晶体管 46 是有缺陷的，象素 42 不会表现出不工作的状态，而是保留着取自前一行 R1 的数据。这就掩蔽了象素 42 未能正确运行的情况。

如图 11 中所进一步描述的，此象素 42 还可包括一存储电容器 50，连于行 R1，它在每一帧的过程中维持并稳定写入象素 42 的电压。

制作本发明 TFT 46 和 AMLCD 10 的目的是提高有源象素的成品率。参看图 2 描述 TFT 46。制作 TFT 46 时，首先淀积栅极 52 作为行线 34。完成的 TFT 46 示于图 2 和图 3 中，各个加工步骤则尽量在图 4-10 中画出。虽然各种各样的层厚度在本发明中并不至关重要，但本文仍提出最可取的厚度和材料以提供制作 TFT 46 和 AMLCD 10 的最佳实施方案。

栅极 52 最好由两层金属来制作，第一层是铝，最好是铝 / 铜合金，将此层淀积并构图形成一线元 54（见图 4）。为了形成一冗余行线 34，将

第二栅层钽沉积在铝元件 54 之上并构图成形为一线元 56 (见图 5)，该线元覆盖着线元 54。线元 56 还有指 58 (图 5)，形成各个 TFT 46 现在的栅极。线元 54 最好由铝或铝合金来制成。由于铝的优良导电性所以可用它制成长的线，但对于小的显示器来说并不是必不可少的，如果需要的话小显示器也可不用它。将铝沉积至约 1200 埃的厚度以保证导电性能，但仍然要足够薄以避免对元件 54 的台阶覆盖。为冗余将钽元件 56 或其他的阳极耐熔金属最好分别地沉积至约 2000 埃的厚度，形成 TFT 46 栅极的指 58 不需要铝层，通常只用钽来制成。

然后，通过将此露出的钽元件 56 加以阳极氧化形成第一栅绝缘层 60，从钽氧化物， $Ta_2O_5$ ，经强阳极氧化处理而形成此绝缘层 60。可利用 0.1 % 到 4.0 % 的柠檬酸去离子水溶液来实行强阳极氧化。利用约为 60 伏的电压形成一十分精确和均匀的，约为每伏 1.5 埃或厚度为 900 埃的氧化层 60。焊盘 38 和 40 可覆盖以光阻材料以避免此焊盘的阳极氧化，或者可将焊盘先作阳极氧化处理然后再加以刻蚀。

或者，此第一栅绝缘层 60 可由沉积的电介质层来制成。第二或冗余的栅绝缘层 62 最好沉积以氮化硅  $Si_3N_4$ ，厚度约为 3000 埃。再顺次沉积二附加层，一层是非晶硅 64，接着是一层涂  $N^+$  的非晶硅 66。选择刻蚀  $N^+$  层 66 和非晶硅层 64 以留出氮化层 62 的栅部 58 上分立的区域 70 (图 6)。将此非晶硅层 64 沉积至约 1500 埃的厚度， $N^+$  层 66 沉积至约 300 埃的厚度。在图形化之后，剩余的  $N^+$  层形成欧姆接触部 68。在沉积下一金属层之前进行再阳极氧化以避免可能的短路，特别是避免发生在漏极或源极金属层覆盖此栅极金属层的任何点处的短路。再阳极氧化要以源、栅线之间正常存在的最大电压值的至少两倍的电压下进行。此再阳极氧化会在钽或下面的铝层内形成新的氧化物，以防止后面沉积上的金属通过暴露栅金属的针孔而与此栅线短路。

然后，沉积源 - 漏 (S-D) 层 72，对于大尺寸显示器，最好用多层金属层来制成此层，对于小尺寸显示器，层 72 可以是单金属层的，例如用铝或钼。最可取的大型装置的多层 72 是通过沉积一层厚度为 500 埃数量级的第一钼阻挡层来形成的，然后，第二层铝或铝合金的导电增强层沉积至约 5000 埃的厚度。第三层钼或钼合金的阻挡层沉积至约 300 埃的厚度。另

一种方法是，只要求最初两层是淀积层。

S—D 层 72 构图以形成源极部分 74，漏极部分 76 和顶部电容触点部 78。然后在此源、漏部 74 和 76 之间移去在触点部 68 之间的 N<sup>+</sup>涂层形成此晶体管的沟道区 80；而触点部仍处在 S—D 金属部 74 和 76 之下。这里晶体管 46 是有导电功能的。

存储电容器 50 也是有导电功能的，它是由触点部 78 和氮化层 62 下面的氧化层 60 和栅极 52 所形成。此时，晶体管 46 和电容器 50 均可按要求进行电气试验。

接着，淀积第一钝化层 82，最好用 Si<sub>3</sub>N<sub>4</sub>，厚度约为 7000 埃来形成。此电介质层亦可由淀积的 SiO<sub>2</sub>旋涂玻璃（SOG）或其他有机电介质材料来形成。层 82 构图以形成漏极触点开口 84 和电容器触点开口 86。当要形成一冗余列线时，形成通路 88（图 3）以构成下面列线 36 的触点。

然后，象素 ITO 层 90 淀积并构图，形成开口 84 处漏极触点，开口 86 处的电容器触点，接触贯穿通道 88（可贴合处）以及此象素 48 的冗余列线。象素 48 不是按比例画出的，此部分被偏移以便同时包括晶体管 46 和电容器结构 50，二者是彼此错开的。此部分没有完全示出在列 ITO 和象素 ITO 48（见图 1 和图 9）之间的电隔离。未示出此附加的晶体管 49（图 1），但它的制作方法与晶体管 46 相同。

形成最后钝化层 92 后，此 TFT 结构就完成了。钝化层 92 厚度约为 2000 – 3000 埃，与层 82 形成方法相同。层 92 也可在滤色基片上形成或在这两层之上形成。

如图 7A 和图 7B 所示，源极线 74 与漏极 76 呈交叉梳状。如图 7A，漏极 76 最好至少有一个指 94，而源极线 74 最好包括一对指 96。穿过源极线 74 在邻接指 96 处刻蚀一缝或开口 98。指型交叉梳状结构有若干优点。第一，沟道宽度可增至最大，而漏、栅间电容减至最小。另外的优点是，在电子测试过程中，此源极指 96 中一个指的短路可通过断开此已短路的指 96 而排除。通过将已短路的指 96 的两边都切通至缝 98 即可有效地排除此短路。

虽然根据图 7A 所示的交叉梳状的实施方案可将漏、栅之间的电容减至最小，仍可利用如图 7B 所示的形成附加指的方法而获得更大的驱动电流。

图 7B 中, 漏极 76 包括一对指 100 而源极 74 包括三个匹配的指 102。

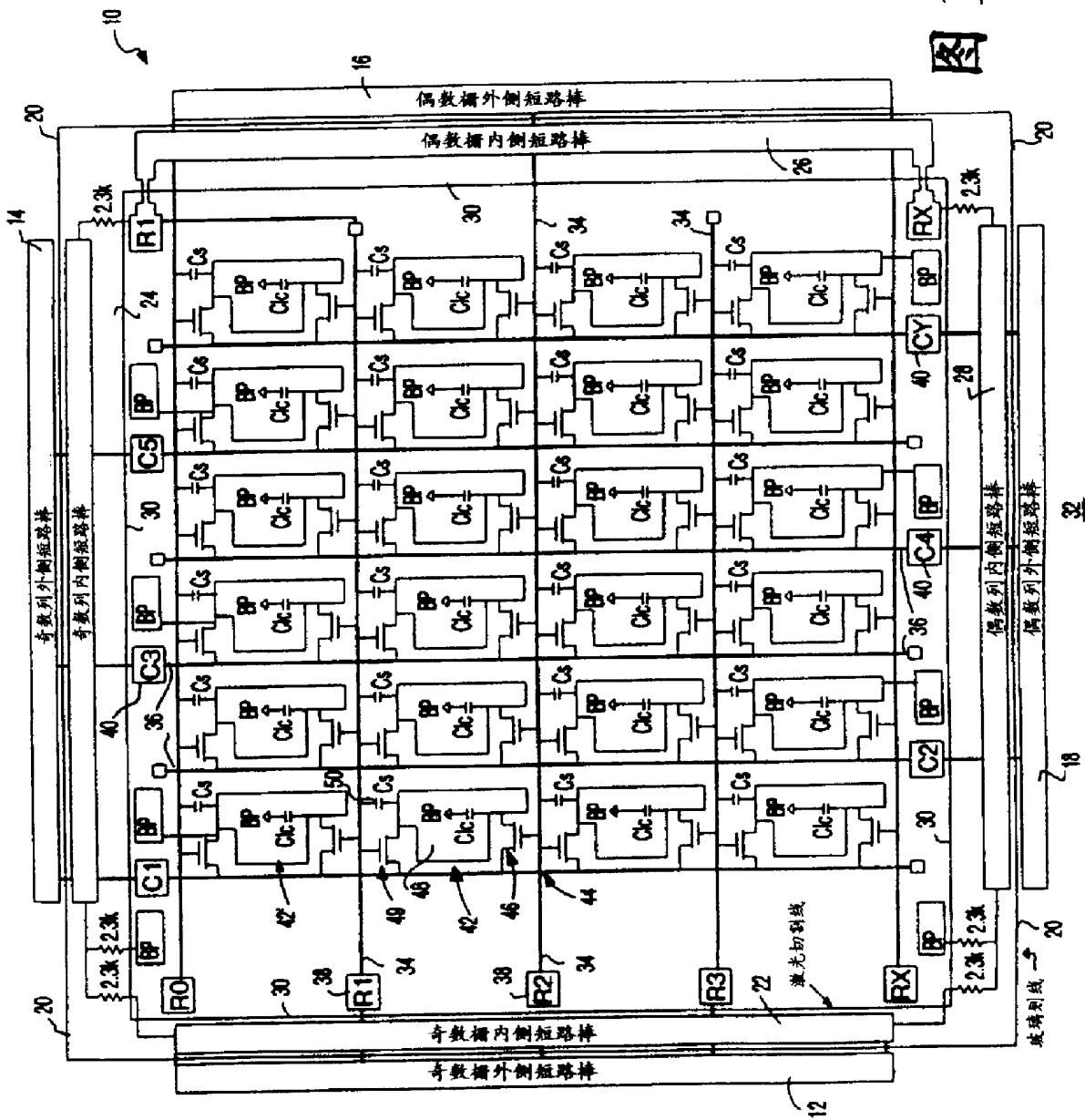
图 9 示出 ITO 层 90, 形成分开的像素触点 48 和冗余的列线 104。此列线 104 通过通道 88 而与下面的列线 36 相连。

图 10 中示出此 AMLCD 10 的总体合成的版图。

图 11 示出此完成的 AMLCD 10 的一部分以及使用存储电容器 50 的原因。此存储电容器 50 当像素行, 此处是行 3, 未编址时, 在此帧周期内可稳定加于像素 42 中液晶材料的电压。一给定的像素行在一帧周期内只能编址一次, 此帧通常是 1/60 秒或 16.7 毫秒。对于一 480 行 AMLCD 10 来说, 一已给定行只在此帧周期的 1/480 的时间内或约 34.7 微秒内编址。在此帧周期中, 当像素行未编址时, 此 TFT 46 是断开的。然而施加在晶体材料上的像素电压应保持恒定。此液晶材料有一电容  $C_{LC}$  和一有限电阻  $R_{LC}$ 。晶体管 46 能在驱动器和源极之间和 / 或通过此液晶材料电阻  $R_{LC}$  而有漏电。为了最大限度地减小加于液晶材料的电压降 (数据衰减), 电容为  $C_s$  的存储电容 50 制作成与液晶电容  $C_{LC}$  并联。由行 3 处的晶体管 46 所驱动的像素 42 通过电容器 50 而连于前一行 2。此处假定行 2 恰好在行 3 之前被驱动。当关于某一给定行的晶体管 46 导通时, 由于总电容等于  $C_{LC}+C_s$ , 晶体管 46 对  $C_{LC}$  和  $C_s$  充电。晶体管 46 和液晶材料二者的漏电流在越高的运行温度下均会越大 (越差)。液晶材料包含在 TFT 基片 32 和一滤色片或单色底板 94 之间。利用隔板 (未画出) 将此底板 94 与基片 32 分开。

# 说 明 书 附 图

1



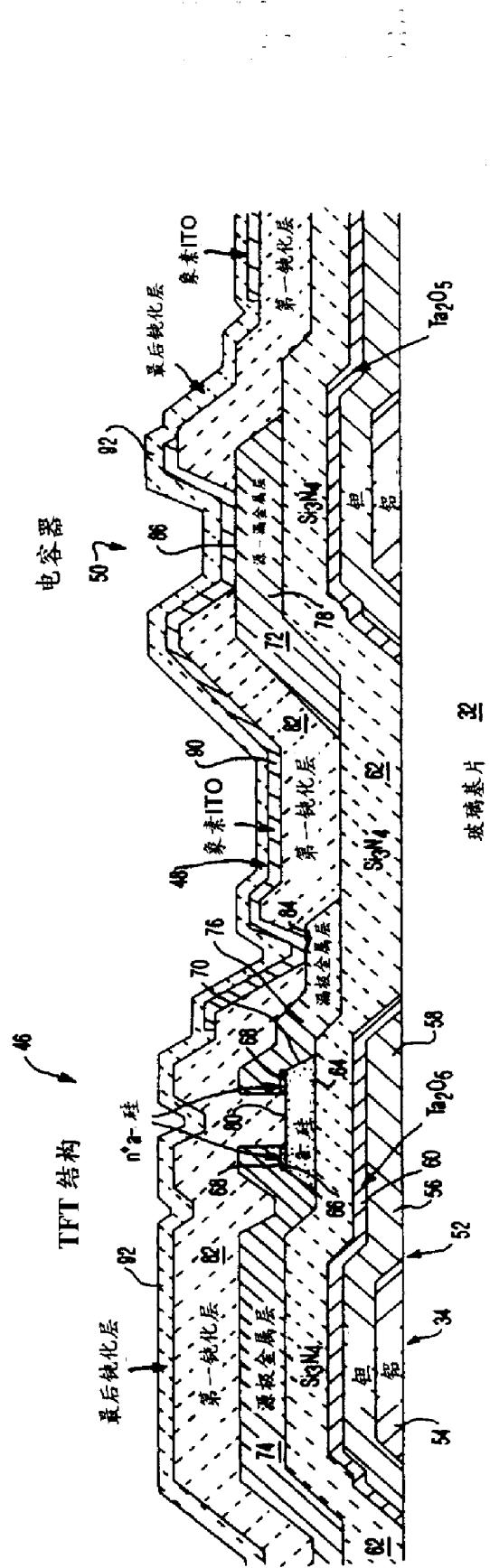


图 2

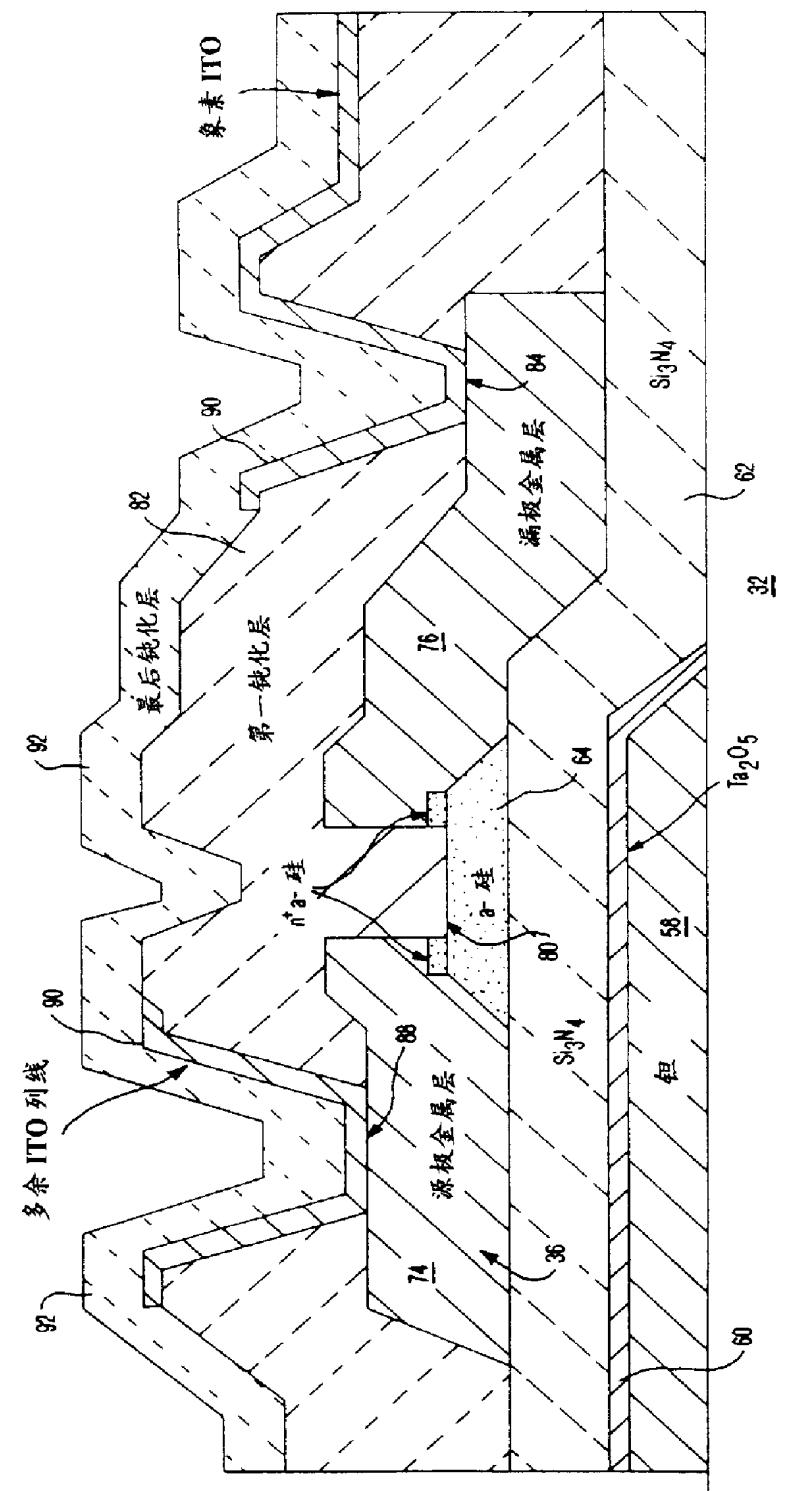
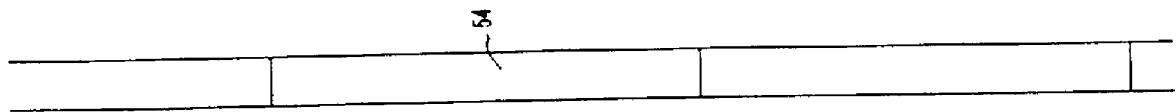
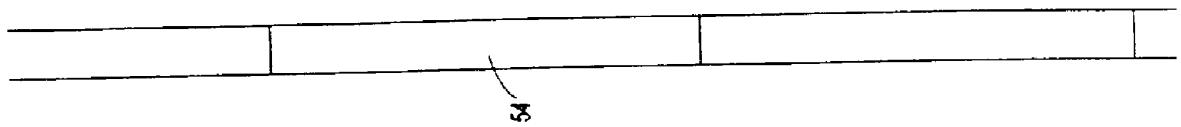


图 3

图 4



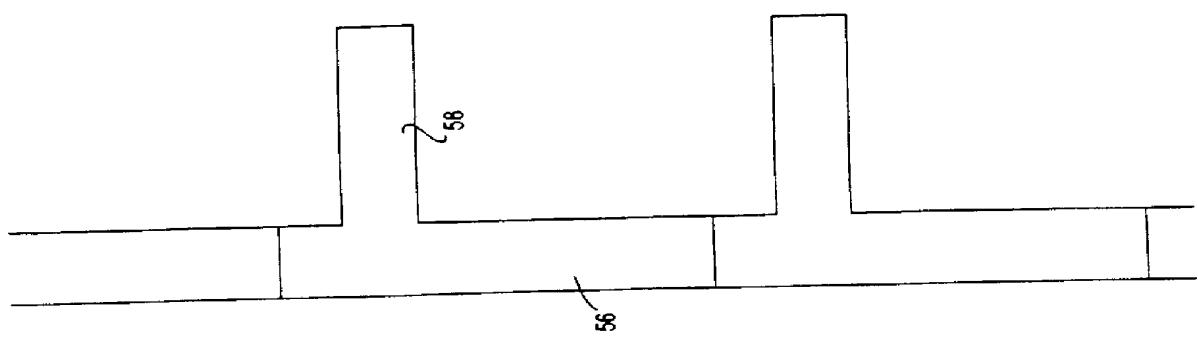


图 5

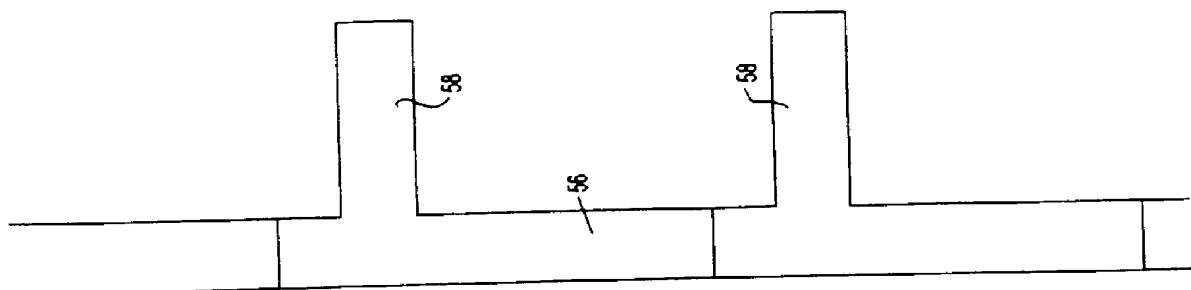
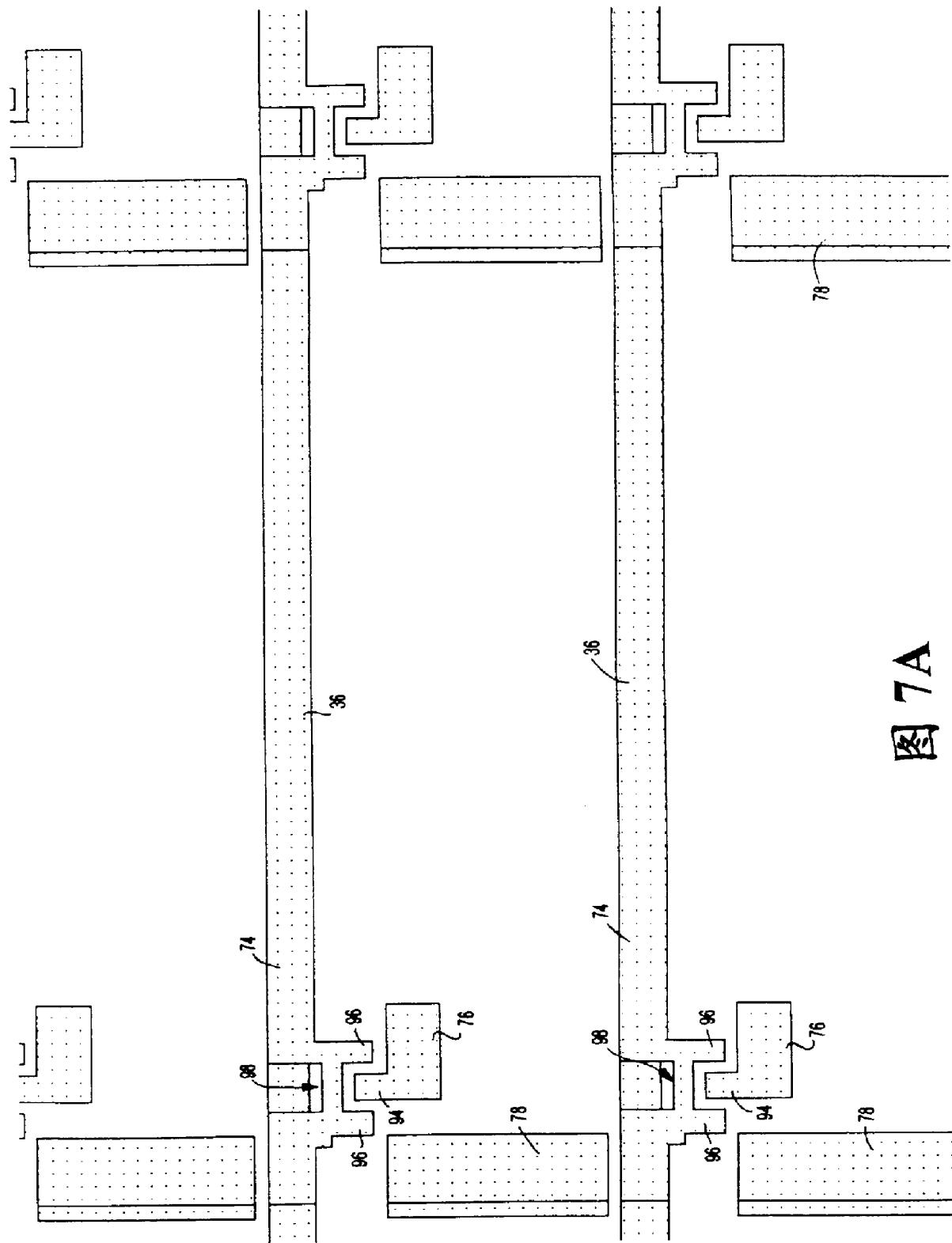




图 6



74

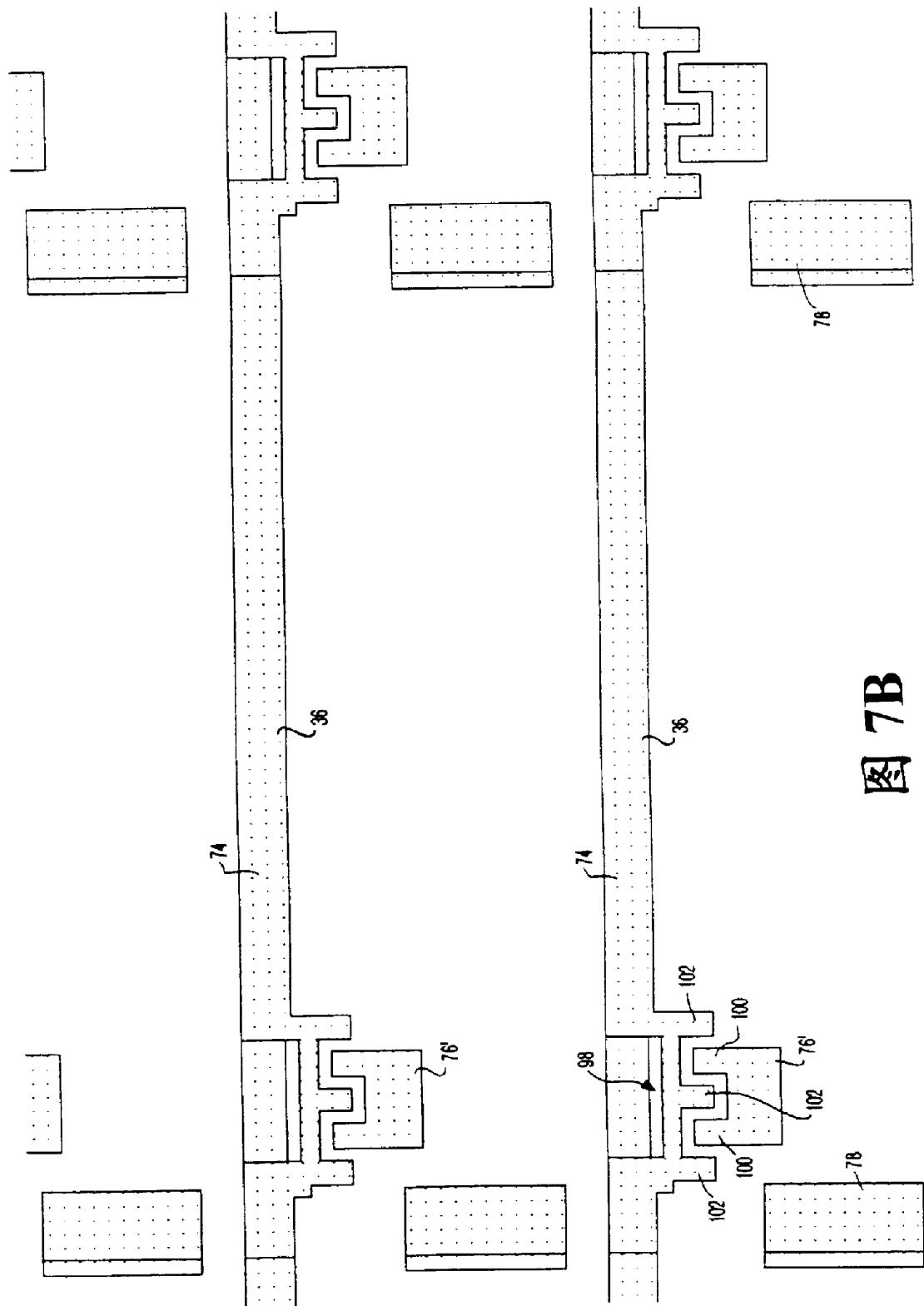


图 7B

图 8

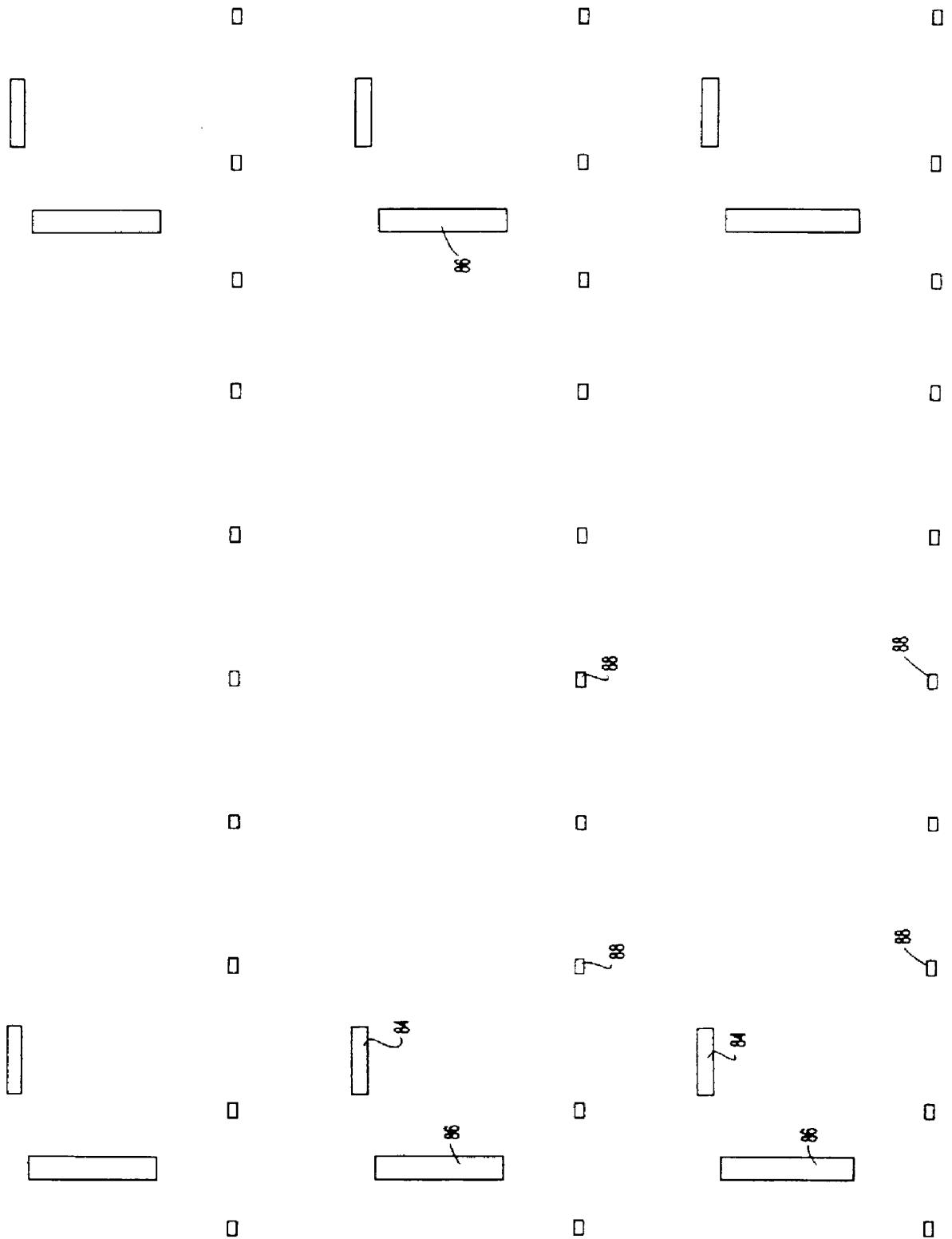


图 9

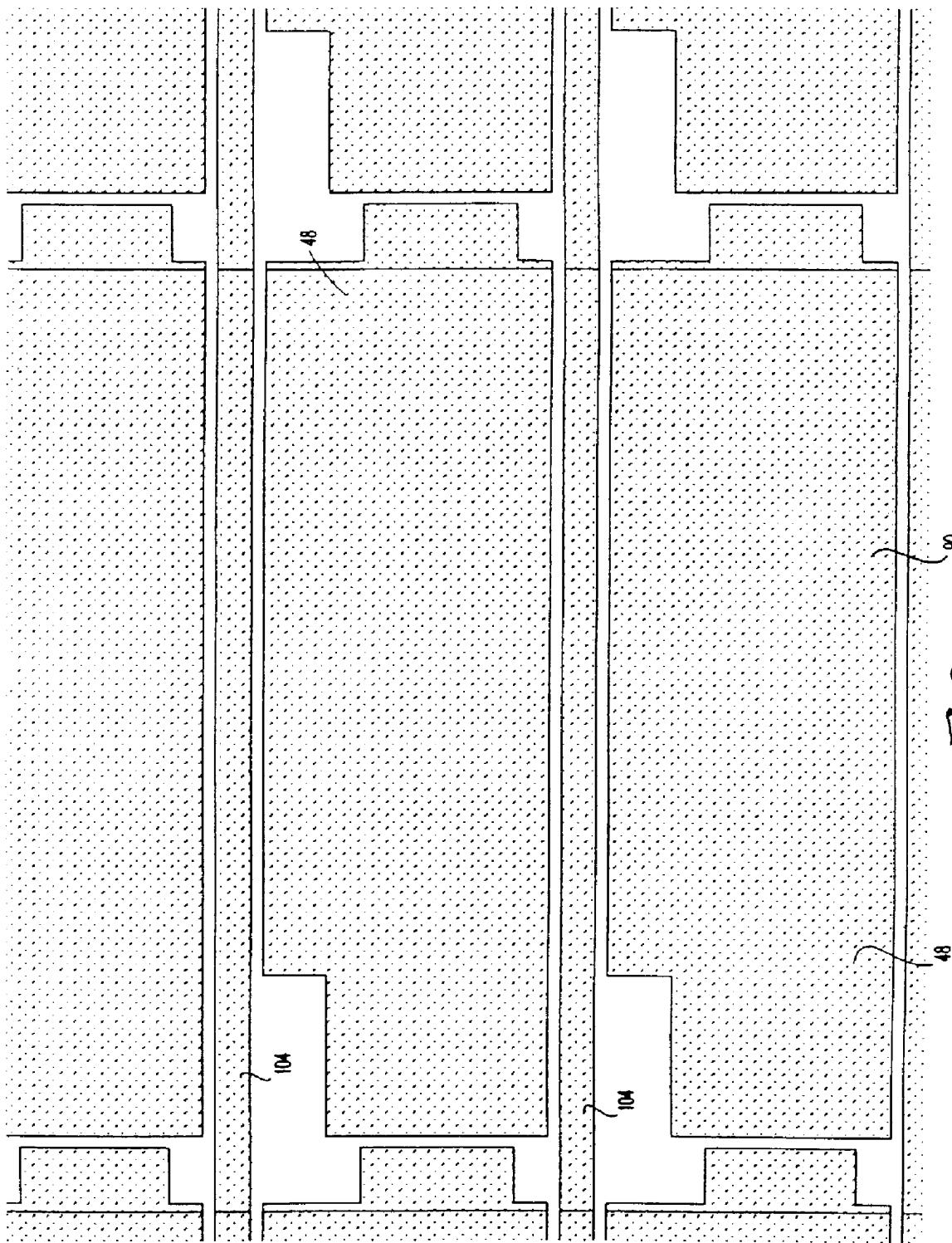
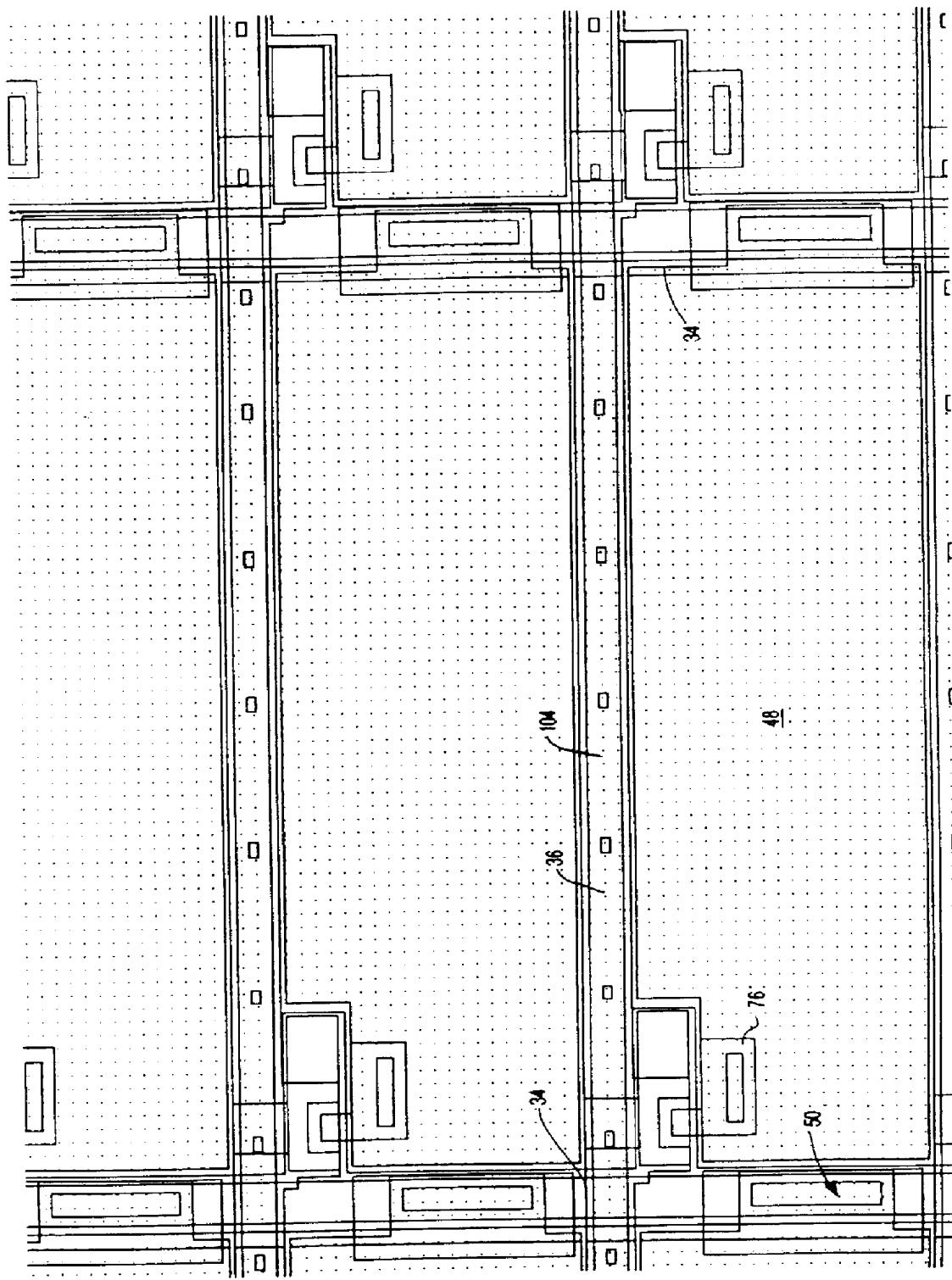


图 10



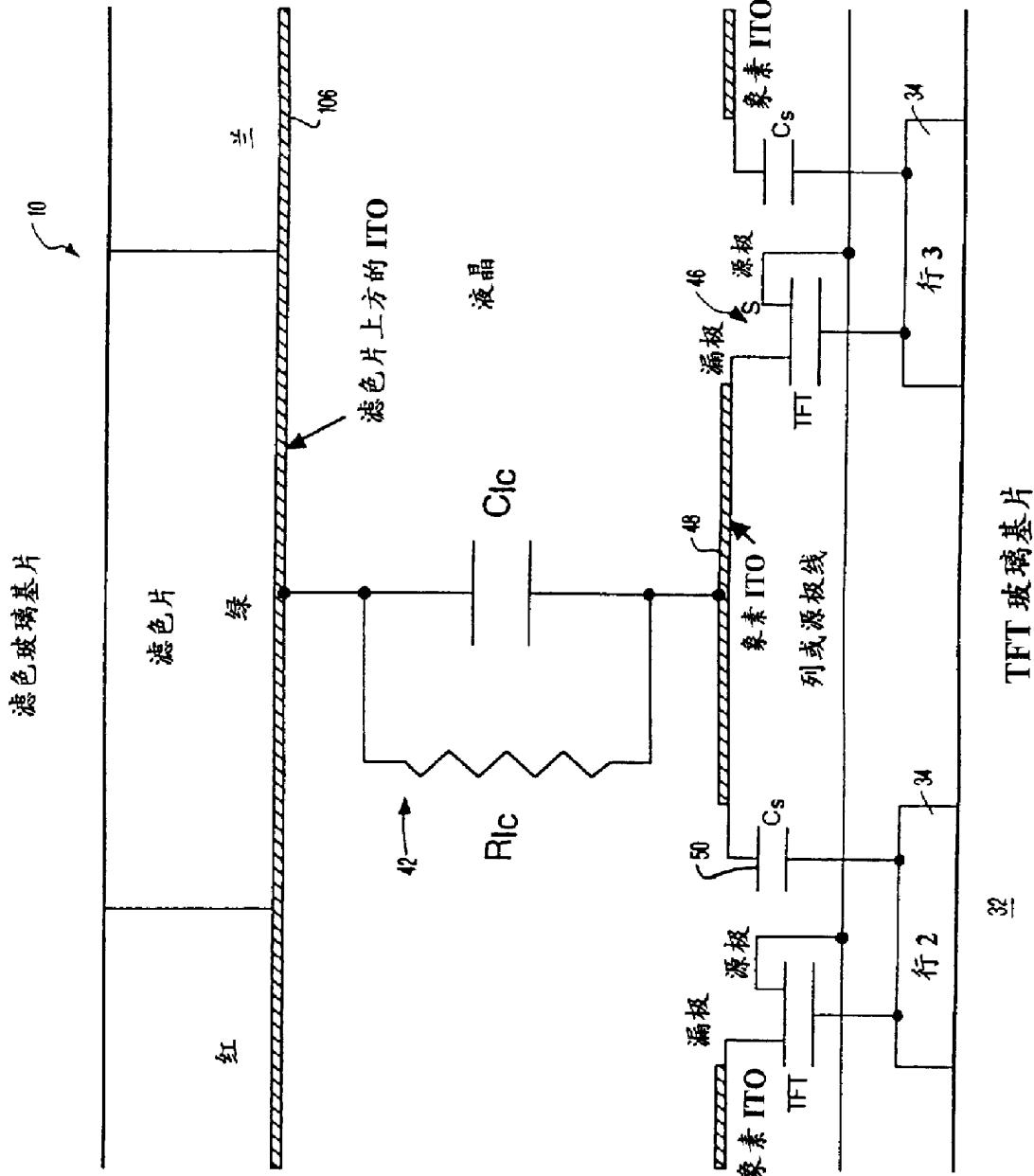


图 11